

Japanese Laid-open U2-26229

Translation of Title of utility model

"A plasma processing apparatus"

Translation of P2 L1 ~ L10

In this kind of plasma processing apparatus, (in prior art) during the plasma etching processing, a polymer generated by a plasma polymerization or a deposited layer of reacted products is adhered on an inner surface of processing chamber and electrode etc. These raise a deterioration of etching characteristics such as an equality of the etching or the etching rate and an increase of a generation of particles, which get a yield of IC worse. So, a plasma cleaning process using Oxygen, for example, has to be operated for removing the deposited layers in order to keep inner side of the processing chamber always clean.

Translation of P3 L1 ~ L8

Besides, in a case the cleaning process operated with respect to each pre-determined number of wafer processed, since amounts of deposited layers adhered inside the processing chamber are varied by wafers' conditions, e.g. existences of resist layers or time of plasma processing, a problem is that the cleaning process is not operated at a preferred period. That is, the cleaning process is apt to operated too early to lose working time or too delayed to deteriorate a yield of IC.

Translation of P5 L15 ~ P6 L6

A transmitting window 8, which is a portion for transmitting through radiated light of plasma, is disposed on a pre-determined portion of the processing chamber and a light detecting device 9 which detects the intensity of plasma light transmitting through the window 8 and a signal processing device 10 is disposed on outer portion of this window 8, in order, facing said window 8. And said signal processing device 10 are connected to, in order, a decision circuit 11 for deciding a start · end time of cleaning process inside the processing chamber 1 using the signal from the signal processing device 10, and a cleaning control unit 12 which a decision signal from the decision circuit 11 is inputted into and controls the cleaning process inside the processing chamber 1.

⑩
⑪ 公

⑫ Int. Cl.
H 01 L 21/302
21/31

識別記号

N
A
C

国特許庁 (JP)

⑬ 特許出願公開

特許公報 (A)

平2-224242

整理番号

⑭ 公開 平成2年(1990)9月6日

5223-5F
5223-5F
5810-5F

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 半導体基板処理装置

⑯ 特願
⑰ 出願

優先権主張 ⑯ 昭63(1988)11月21日

⑮ 発明者 宮川 康

⑯ 出願人 沖電気工業株式会社

⑰ 代理人 弁理士 柿本 勝

260502

1989)10月5日

⑯ (JP)⑯ 特願 昭63-294114

京都港区虎ノ門1丁目7番12号 神電気工業株式会社内

京都港区虎ノ門1丁目7番12号

明細書

1. 発明の名称

半導体基板処理装置

2. 特許請求の範囲

1. 半導体基板を収容するチャンバーのチャンバー内で前記半導体基板上のエッチング処理もしくは前記チャンバー内における膜の堆積処理を施す半導体基板に対する膜の堆積処理を施す半導体基板処理装置において。

前記チャンバー内に形成されるポリマーの状態を光学的に検出する検出部

前記検出部の出力に基づき前記ポリマーの状態が許容範囲内にあるか否かを評価部とを、

設けたことを特徴とする半導体基板

2. 請求項1記載の半導体基板処理装置

前記検出部は、前記チャンバー内に

する発光装置と、前記チャンバー内に

記録光の反射光を受光する受光装置と

前記評価部は、前記受光装置の出力

記ポリマー或は堆積膜の特性値を算出し、その算出値が許容値内にあるか否かの判定を行う機能を有する半導体基板処理装置。

3. 請求項1記載の半導体基板処理装置において、前記検出部は、前記チャンバー内を照らす光源と、前記チャンバー内における所定箇所の表面像を受光する受光装置とで構成し、前記評価部は、前記受光装置の出力に基づき、前記受光した表面像と予め設定された像との比較、判定を行う画像処理機能を有する半導体基板処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体基板処理装置、特にそのチャンバーのクリーニング時間決定に供する手段に関するものである。

(従来の技術)

従来、このような分野の技術としては、「ソリッド ステート テクノロジー (Solid State Technology)」(1988-4) ベンウエル パブリ

ッキング カンパニー(Pennwell Publishing Company) P. 109-112に記載されるもった。前記文献には半導体基板に対する刻ち、ドライエッティング プロセスに関する記載されている。以下、その構成を説明す

二酸化ケイ素(SiO_2)膜に対するエッキングにおいて、高エッティングレートの実現及の多結晶シリコン成は単結晶シリコンとの比を実現するために、六フッ化イオウ(Siと三フッ化メタン(CHF_3)の混合ガス2ステップのエッティングプロセスが有効で

この2ステップのエッティングプロセスは混合ガス組成を変えて2段階のプラズマエッキングを施すもので、第1のステップでは高エッティングレートを確保するために SF_8 のガス組成を高く設定する。また、第2のステップではの選択性を高めるために、 CHF_3 のガスを高く設定する。第1のステップで予定のの SiO_2 膜をエッティングし、残りを第2ステップでエッティングすることにより、高エッ

レート及び高選択性のエッティングが達成される。

前記エッティングプロセスは、被エッティング用半導体基板を取扱してプラズマ放電を施すチャンバーを備えた半導体基板処理装置によって行なわれる。両面チャンバー内への半導体基板の供給と2ステップエッティングとを繰り返すことにより、多数枚の半導体基板に対する連続処理がなされる。その際、第2のステップでは CHF_3 のガス組成比を高く設定しているので、チャンバー内には CHF_3 に起因するフロロカーボン系のポリマーが形成される。ところがこのポリマーは、次に繰り返される SF_8 組成比の高い第1のステップで削減され、ポリマー膜厚の増加によるエッティング特性の変動が制御される。また、ポリマーに起因して発生するパーティクル(微粒子)の低減も図られる。

前記エッティングプロセスの安定性は、半導体基板連続処理時におけるエッティングレートの変動とパーティクル数の増加によって評価されるものであり、チャンバー内に形成されたポリマー量が安

定性に重大な影響を及ぼす。ここに、前記スでチャンバーにクリーニングを施さないにおいて、エッティングレートは半導体基板均枚終了時まで殆ど一定であり、パーティクル增加は約1000枚処理時でも0.08%程度という結果が得られている。これらから、半導体基板500枚程度までは常にクリーニングを施すことなく安定した事が可能であると考えられている。

以上の $SF_8 + CHF_3$ ガスを用いたエッティングの他に、六フッ化エタン($C_2 + CHF_3$)のフロロカーボン系のガスを用いたエッティングも広く行なわれている。のエッティングにおいても、同様の半導体基板装置が用いられており、そのチャンバー内されるポリマーに起因してエッティングプロセスの安定性が変動する。そして、半導体基板の数を目安としたチャンバークリーニング判定が広く行なわれている。

(発明が解決しようとする課題)

しかしながら、上記の半導体基板処理装置を用いた基板処理では、チャンバーのクリーニング時期を容易かつ適切に決定できないという課題があった。

即ち、クリーニング時期を決定するためには、それぞれのエッティング条件下において多数回のエッティングを繰り返し、エッティングレートやパーティクル数に関する実績データを集積した後、それらの解析値等から基板処理枚数に基づくクリーニング時期を決定せねばならず。実用上極めて困難な上に精度上の問題もある。また、クリーニング時期決定のために、例えば半導体基板の処理枚数等の管理値を設定しても、管理値に対するエッティング特性のばらつきに対応しきれないという問題が残る。さらに、処理装置におけるトラブル等の不調の事態には全く対応することができない。これらの管理値からのばらつきや不調の事態を生じれば、半導体基板の著しい歩留り低下を来たしてしまう。

本発明は、前記従来技術がもつっていた課題とし

て、チャンバーの適切なクリーニング時が困難な点、及び半導体基板の歩留り低下点について解決した半導体基板処理装置である。

(課題を解決するための手段)

前記課題を解決するために、第1の半導体基板を収容するチャンバーを有し、チャンバー内で前記半導体基板上の面に対する処理もしくは前記チャンバー内で前記基板に対する膜の堆積処理を施す半導体装置において、前記チャンバー内に形成されたポリマー成は堆積膜の状態を光学的に検出部と、前記検出部の出力に基づき前記または堆積膜の状態が許容範囲内にあるか否かを評価部とを、設けたものである。

第2の発明では、第1の発明において出部は、前記チャンバー内に偏光を照射装置と、前記チャンバー内で反射した反射光を受光する受光装置とで構成する。前記評価部は、前記受光装置の出力に

第2の発明において、発光装置がチャンバーに偏光を照射すると、その反射光が受光される。すると、評価部では、受光部を入力し、所定の演算を行ってその演算容値との比較、判定を行う。

第3の発明において、光源がチャンバーより、そのチャンバー内の表面像が受光される。評価部では、受光装置の出し、受光した表面像と予め設定された値判定を行う。

従って、前記課題を解決することが可能である。

第1図は、本発明の第1の実施例を示す基板処理装置の概略構成図である。

この半導体基板処理装置は、プラズマ用に用いられるもので、チャンバー1を有する。チャンバー1の内部上面及び下面に上部電極2及び下部電極3が設けられており、上部電極2は高周波電源(RF電源)4が接続されている。

記述する半導体基板の特性値を算出し、その算出値が許容範囲内にあるか否かの判定を行う機能を有している。

第3の発明では、第1の発明において、前記検出部は、前記チャンバー内を照らす光源と、前記チャンバー内における所定箇所の表面像を受光する受光装置とで構成する。前記評価部は、前記受光装置の出力に基づき、前記受光した表面像と予め設定された値との一致/不一致を判定する画像処理機能を有している。

(作用)

第1の発明によれば、以上のように半導体基板処理装置を構成したので、検出部は、チャンバー内に形成されたポリマー成は堆積膜の状態(例えば、膜厚やその物質特性)を光学的に検出してその状態を直接的及び定量的に観察する働きをする。評価部は、検出部の出力に基づき、前記状態が許容範囲内にあるか否かの判定、評価を行い、チャンバーのクリーニング時期を決定し、それを管理する働きがある。

前記チャンバー1の互いに対向する側壁には、それぞれ光透過用の窓5、6が設けられている。一方の窓5側には、例えばレーザと偏光板とから成る発光装置7が設けられ、他方の窓6側には、受光素子等で構成された光/電変換用の受光装置8が設けられている。

発光装置7及び受光装置8により、検出部が構成されている。この発光装置7及び受光装置8の相対的な位置関係は、レーザ光源から偏光板を経た偏光が上部電極2において反射し、その反射光が受光装置8に入射するように設定されている。

受光装置8の出力側には、評価部9が接続されている。評価部9は、演算回路及びメモリ等を有するコントローラで構成されている。

次に、上記構成の半導体基板処理装置を用いた SiO_2 膜のプラズマエッティングについて説明する。

半導体基板10上に形成された SiO_2 膜のプラズマエッティングにおいて、 $C_2F_6 + CHF_3$ 等のフロロカーボン系の混合ガスがエッティングガ

スとして用いられることが多い。このチングに有効であるが、チャンバー1ロロカーボン系のポリマーを形成するマーマーはアラズマ状態と直接に関連し、定常状態にある場合には所定のエッタ即ち所定の均一性、透析比及び形状がることができる。

前記 $C_2F_6 + CHF_3$ の混合ガスエッティングを施すに際し、先ず半導体チャンバー1内の下部電極3上に配置するRF電源4によりRFパワーを上部電極2に加え、半導体基板10の SiO_2 膜にエッティングを施す。同様の動作を繰り返す多枚の半導体基板11に対するエッタされる。

このエッティングプロセスにおいて、 CHF_3 ガスを用いることによりチャンバー1の上部電極2を含む内壁面にはポリマーが形成される。このポリマーの形成状態を観察する光査定7から漏光を生ぜしめ、漏らを

評価することによって行なうことができる。上記の発光査定7及び受光装置8についての観察は、例えば個々の半導体基板10のエッティング終了後、アラズマ放電が基板搬送時に繰り返して実施されるアラズマ放電の影響を受けずに再現性一観察することができる。

このように本実施例では、ポリマー定量的に観察することにより、チャンバー1内のアラズマ放電の影響を受けることなく、エッティング終了後、アラズマ放電が基板搬送時に繰り返して実施されるアラズマ放電の影響を受けずに再現性一観察することができる。

第2図(a)、(b)は、本発明の実施例を示す半導体基板処理装置の概略構成図中の要素と共通の要素には共通(

エッティング部9)に付記する。エッティング部9は、上部電極2に形成されたポリマー面で反射し、その反射光が窓6を経て受光装置8に入射する。受光装置8は入射した漏光の情報を評価部9に伝え、評価部9はその情報からポリマーの膜厚及び透析率の値を算出する。これにより、ポリマーの膜厚や物質特性等を知ることができる。

前記評価部9には、所定のエッティング特性を維持できるポリマー膜厚及び透析率の許容値が予め記憶されており、エッティング毎に算出された膜厚及び透析率がこの許容値内にあるか否かをチェックする。算出値が許容値を超えたときにはアラームを発してチャンバー1のクリーニング時間を利用せしめ、もしくはクリーニングの実施及びクリーニング後の漏らし放電を実施するようにプログラムされている。

前記ポリマー膜厚及び透析率の許容値の設定は、電極温度の変動及び窒素や酸素の混入等、半導体基板10の巡回処理中に想定される現象がエッティング特性及びポリマー状態に与える影響を事前に

評価することによって行なうことができる。なお、第2図(a)は上部電極2を観察する図、第2図(b)は下部電極3を観察する図である。

この半導体基板処理装置は、第1の実施例と同様に、アラズマエッティングに用いられるもので、チャンバー1、上部電極2、下部電極3、RF電源4、及び窓5、6を備えている。

一方の窓5には、チャンバー1内を照らすための光源7Aが設けられ、他方の窓6には、受光装置8Aが設けられている。受光装置8Aは、光源7Aによって照らされた上部電極2や下部電極3等の表面像を受光するもので、その表面像を記録するための光子系11と、光/電変換機能を有するCCD(荷電結合素子)型固体撮像素子等の光センサ12とを、備えている。

光センサ12の出力側には、画像処理装置やCRT等で構成される評価部9Aが接続されている。

この半導体基板処理装置では、第1の実施例と同様にして、半導体基板10に対するアラズマエ

ッチングが行われる。

チャンバー1内に形成されたポリマー膜を観察する場合、RF電源4を印加し例えば半導体基板1の搬送時に行なう。

即ち、第2図(a)に示すように、より、窓5を通して上部電極2を照らす上部電極2の表面像が、窓6及び光学系して光センサ12に結像される。光センサ入射光を電気信号に変換して評価部9A評価部9Aでは、光センサ12の出力に像処理を行い、観察された上部電極2のCRT等に表示する。

この評価部9Aには、クリーニングカゴの上部電極2の複数の表面像が予め記憶している。評価部9Aは、観察された表面像記憶された表面像とを比較し、観察された表面像の一つと一致した場合アラームを発してチャンバー1のクリーニング時期を知らせたり、あるいはクリーニング及びクリーニング後の噴らし放電を実施す

御する。

従って、第1の実施例とほぼ同様に、ポリマーの膜厚及び屈折率等を直接的及び定量的に観察してチャンバークリーニング時期の的確な管理が行える。しかも、第1の実施例では、発光装置7が例えばレーザ及び発光管で構成されているので、装置が大型化するおそれがあるが、この第2図(a)の実施例では、単なる照明用の光源7Aを用いれば上いため、装置の小型化が図れる。

第2図(a)では、上部電極2の表面を観察することにより、チャンバークリーニング時期を決定しているが、第2図(b)に示すように、光学系11及び光センサ12の光軸を交える等して、下部電極3の表面を観察することにより、チャンバークリーニング時期を決定することも可能である。同様にして、上部電極2及び下部電極3以外の箇所の観察も可能である。

従って、第1の実施例では、ポリマー観察を一箇所でのみ行うので、チャンバークリーニング時期を必ずしも的確に決定できるとはかぎらないが、

この第2の実施例では、より広範な領域観察が可能となる。

なお、本発明は図示の実施例に限定されその変形が可能である。その変形例としては次のようなものがある。

(1) 第1図では、発光装置7からの電磁波2に照射し、上部電極2上のポリマーを観察するものとしたが、第2図で説明した半導体基板1が載置される下部電極3チャンバー1内壁においてポリマーを観察してもよい。このようにしても、チャンバークリーニング時期を決定することができる。

(2) 第1図の発光装置7はレーザとら成るものとしたが、これに限らず偏光器ならば、如何なる構成としてもよい。光装置7及び受光装置8は、エリヤソメよって構成することもできる。

(3) 被エッチング膜は SiO_2 膜のされるものではなく、エッティングガスも $+CHF_3$ のみに限定されない。例えば

$+CHF_3$ や SF_6 +五フッ化塩化エタン (C_2ClF_5) 等の比較的ポリマーが形成されにくいガスを用いたエッティングに対しても、上記実施例を適用できる。

(4) 上記実施例では、半導体基板処理装置としてエッティング装置について説明したが、本発明は化成的気相堆積法 (CVD法) 等における堆積装置としての半導体基板処理装置にも適用可能である。即ち、堆積装置の場合にはチャンバー内に堆積膜が形成されるが、この堆積膜に対しエッティングのポリマーと同様の扱いを施すことにより、第1図または第2図とほぼ同様の装置を利用することができる。

(発明の効果)

以上詳細に説明したように、第1、第2の発明によれば、ポリマー或は堆積膜の状態を光学的に検出する検出部と、前記状態を評価する評価部とを設けたので、チャンバー内に形成されたポリマー或は堆積膜の膜厚やその物質特性等を直接的及び定量的に観察することができる。これにより、

チャンバーのクリーニング時期に確かつ容易に下せるようになり、しき成は堆積特性のばらつきを極力抑止トラブル等の不測事態にも的確にができる。また、スループットに悪影響を効率的に進歩させることも可って、半導体基板の処理工程における化と歩留り向上が達成できる。

第2の発明では、発光装置の発光バー内を照射しているのに対し、第3に光源を用いてチャンバー内を照らすため、第3の発明では、小型で、装置構成となり、より広範な領域の堆積膜の情報を得ることができる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す板処理装置の構成図、第2図(a)、発明の第2の実施例を示す半導体基板構成図である。

1……チャンバー、2……上部電極、

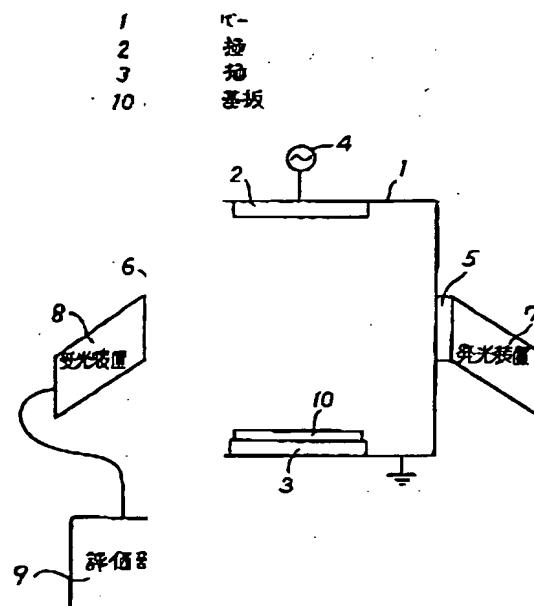
「的
・チ
・つ
・こと
・えず
・、從
・効率

・ヤン
・では、
・る、
・岸な
・成は

・体基
・は本
・置の

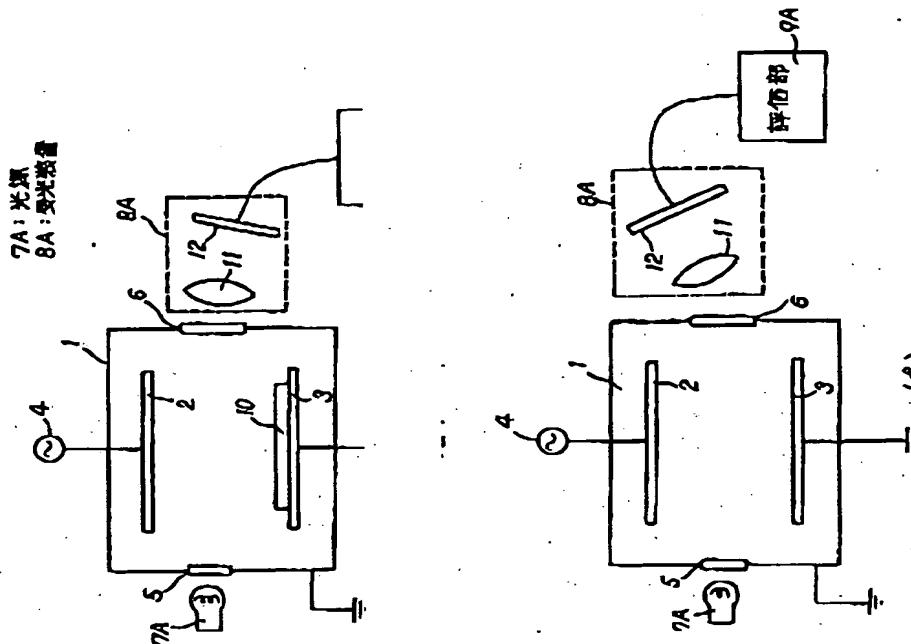
・下部

・バ
・持
・地
・基板



第1図 例の半導体基板処理装置

角1図



第2の実施例の光発光部基板の回路構成

第2回

特許平2-224242(6)

チャンバーのクリーニング時における操作が行
われる場合に下せるようになり、しかもエアテン
ク吸は操作性のばらつきを防ぐ。かつ時
はラブル手の不規則性にも拘らず操作が行
かれる。またスレーブットに位置を保てん。
工程を効率的に運営させることも可能となる。從
つて、半導体装置の処理工程における手作業の簡
化と手取り向上が達成できる。

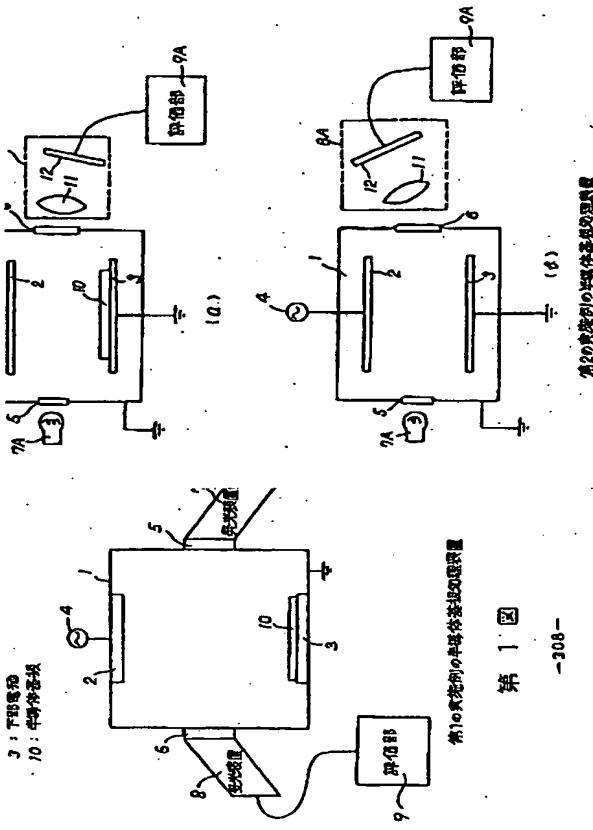
第2の実用では、紫外線源の周光に上りチャン
バー内を照射しているものに對し、第3の実用では、
島に光源を用いてチャンバー内に用いている。
そのため、第1の実用では、小窓で、より簡便な
光源構成となり、より広範な光源の取り扱いは
光源部の構成等によることができる。

4. 図面の新名称

第1図は実用の第1の実用を示す半導体装置
操作装置の構成図。第2図(a)、(b)は本
実用の第2の実用を示す半導体装置の構成図の
構成図である。

1.....チャンバー、2.....上部電極、3.....下部
電極、7.....光路、8.....光路、9.....光路、10.....半
導体装置。

7A:光路



第1図

-208-

第2の実用の構成の概要

第2図